

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-150107

(43)Date of publication of application : 02.06.1998

(51)Int.Cl. H01L 21/82
G06F 17/50

(21)Application number : 09-116754

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.05.1997

(72)Inventor : MUROFUSHI MASAKO

(30)Priority

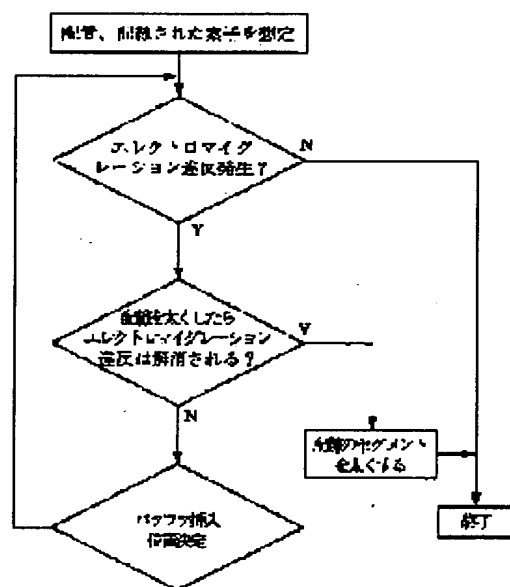
Priority number : 08247401 Priority date : 19.09.1996 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DESIGNING METHOD AND RECORDING MEDIUM ON WHICH SEMICONDUCTOR INTEGRATED CIRCUIT DESIGNING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit designing method with which electromigration can be reduced effectively.

SOLUTION: A wiring is arranged and positioned in the following three cases, namely, (1) a case where a migration infringement is not generated, (2) a case where a migration infringement can be prevented by increasing the width of the wiring even when the electromigration infringement is generated, and (3) a case where the electromigration infringement can not be prevented even when the wiring width is increased. In the case of No.2, wiring width is increased by the prescribed method, and a buffer is inserted in the case of No.3.



LEGAL STATUS

[Date of request for examination] 20.02.2001

[Date of sending the examiner's decision of rejection] 10.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-150107

(43) 公開日 平成10年(1998) 6月2日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

G 0 6 F 17/50

G 0 6 F 15/60

6 5 6 Z

6 5 8 M

H 0 1 L 21/82

W

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21) 出願番号 特願平9-116754

(22) 出願日 平成9年(1997) 5月7日

(31) 優先権主張番号 特願平8-247401

(32) 優先日 平8(1996) 9月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 室伏 真佐子

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

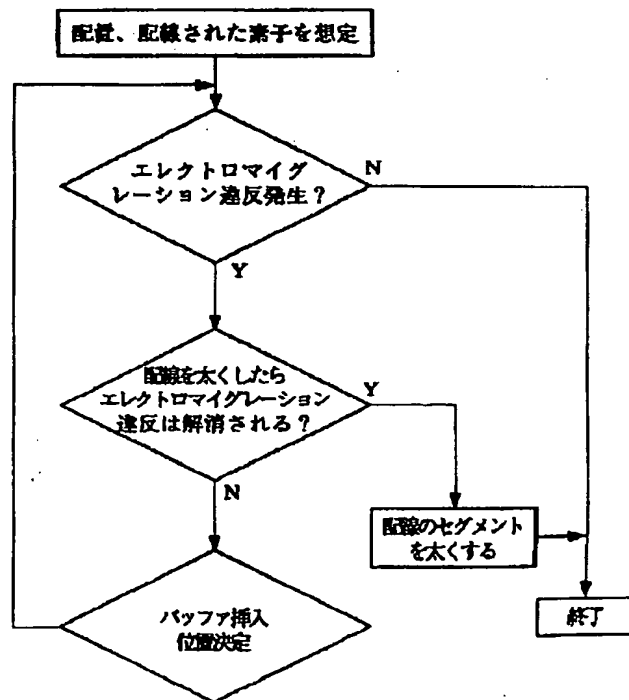
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体集積回路設計方法及び半導体集積回路設計方法を記録した記録媒体

(57) 【要約】

【課題】 本発明は、有効にエレクトロマイグレーションを低減する事が可能な半導体集積回路設計方法を提供する事を目的とする。

【解決手段】 配線がエレクトロマイグレーション違反を起こさない場合(1)と、配線がエレクトロマイグレーション違反を起こすが、配線に接続された配線幅を太くしたら、エレクトロマイグレーション違反が回避できる場合(2)と、配線がエレクトロマイグレーション違反を起こし、かつ、配線に接続された配線幅を太くしても、配線のエレクトロマイグレーション違反が回避できない場合(3)との三つの場合に分け、(2)の場合において、所定の方法で配線幅を太くし、(3)場合において、所定の方法でバッファを挿入する。



【特許請求の範囲】

【請求項1】信号源となるソースと信号端となるシンクを結ぶ配線が、(1)前記配線がエレクトロマイグレーション違反を起こさない場合と、(2)前記配線がエレクトロマイグレーション違反を起こすが、前記配線に接続されたセグメントの配線幅を太くしたら、前記配線のエレクトロマイグレーション違反が回避できる場合と、

(3)前記配線がエレクトロマイグレーション違反を起こし、かつ、前記配線に接続されたセグメントの配線幅を太くしても、前記配線のエレクトロマイグレーション違反が回避できない場合と、の三つの場合に分けて判定する為の判定手段を備え、

前記判定手段の(2)の場合において、前記セグメントの配線幅を変更する為の配線幅変更手段により配線幅を太くし、

前記判定手段の(3)の場合において、バッファを挿入する為のバッファ挿入手段により前記配線にバッファを挿入する事を特徴とする半導体集積回路設計方法。

【請求項2】半導体集積回路の設計段階の内レイアウト設計時において、信号源となるソースと信号端となるシンクを結ぶ配線がエレクトロマイグレーション違反か否かを判定する為のエレクトロマイグレーション違反判定手段と、

前記エレクトロマイグレーション違反判定手段により、前記配線がエレクトロマイグレーション違反と判断された場合、前記配線の前記ソースに接続されたセグメントの配線幅を太くする事により、前記配線のエレクトロマイグレーション違反が回避出来るか否かを判定する為のエレクトロマイグレーション回避判定手段とを備え、前記エレクトロマイグレーション回避判定手段では、前記セグメントの配線幅を太くしても前記配線のエレクトロマイグレーション違反を回避できないと判定された場合、バッファを挿入する為のバッファ挿入手段より前記配線にバッファを挿入し、

前記セグメントの配線幅を太くすれば前記配線のエレクトロマイグレーション違反を回避できると判定された場合、前記配線の所定の部分の配線幅を変更するための配線幅変更手段により前記セグメントの配線幅を変更する事を特徴とする半導体集積回路設計方法。

【請求項3】前記エレクトロマイグレーション違反判定手段において、

前記配線の断面を流れる電流量が、所定の基準値と比較する事によりエレクトロマイグレーション違反と判定する事を特徴とする請求項2記載の半導体集積回路設計方法。

【請求項4】前記基準値は、前記配線を伝播する信号の周波数及びそのスイッチング確率及び前記配線を伝播する電荷量に基づいて算出される事を特徴とする請求項3記載の半導体集積回路設計方法。

【請求項5】前記バッファ挿入手段では、

前記シンク同士を含む最小矩形と、前記ソースと前記シンク同士の重心を含む最小矩形の重なり合う領域にバッファを挿入する事を特徴とする請求項1又は2記載の半導体集積回路設計方法。

【請求項6】前記バッファ挿入手段では、

前記シンク同士を含む最小矩形と、前記ソースと前記シンク同士の重心を含む最小矩形の重なり合う領域であって、かつ、素子密度が小さい領域にバッファを挿入する事を特徴とする請求項1又は2記載の半導体集積回路設計方法。

【請求項7】前記配線幅変更手段において、

太くする配線幅を、エレクトロマイグレーション違反を起こさない様な最小の幅に変更する事を特徴とする請求項1又は2記載の半導体集積回路設計方法。

【請求項8】前記配線幅変更手段において、

配線幅を変更する部分を、前記ソースから初めて配線が分岐するところまでとする事を特徴とする請求項1又は2記載の半導体集積回路設計方法。

【請求項9】前記配線幅変更手段において、

配線幅を変更する部分を、前記ソースから、シンク同士の重心位置までとする事を特徴とする請求項1又は2記載の半導体集積回路設計方法。

【請求項10】信号源となるソースと信号端となるシンクを結ぶ配線が、(1)前記配線がエレクトロマイグレーション違反を起こさない場合と、(2)前記配線がエレクトロマイグレーション違反を起こすが、前記配線に接続されたセグメントの配線幅を太くしたら、前記配線のエレクトロマイグレーション違反が回避できる場合と、(3)前記配線がエレクトロマイグレーション違反を起こし、かつ、前記配線に接続されたセグメントの配線幅を太くしても、前記配線のエレクトロマイグレーション違反が回避できない場合とを判定する処理と、前記判定手段の(2)の場合において、前記セグメントの配線幅を変更する処理をし、

前記判定手段の(3)の場合において、バッファを挿入する処理を、コンピュータに実行させる事を特徴とする半導体集積回路設計プログラムを記録した記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路のレイアウト設計の内、エレクトロマイグレーション低減手法に関する。

【0002】

【従来の技術】半導体集積回路上の金属配線に、許容電流密度以上に一定方向に電流が流れ続けると、エレクトロマイグレーションマイグレーションと呼ばれる、金属断線故障が発生する。また、電流の流れが一定方向でなく更に断続的な場合でも、同様に断線故障が発生する。ただし、この場合、断線故障にいたる寿命は、数倍から数十倍でいどのびる事が知られている(“LSI実動作

下のアルミ配線エレクトロマイグレーション寿命”、N T T R & D V O L . 4 1 N o . 6 1 9 9 2) 。また、エレクトロマイグレーションを低減する手法として、アルミ金属配線を銅との合金にする方法などが知られている (“Circuits, Interconnection, and Packaging for VLSI”, H. B. Bakoglu, Addison Wesley, 1989.)。また、エレクトロマイグレーションを避ける様に金属配線の配線幅の下限を設計ルールとして規定し、設計者はそれを守りながら設計する。また、配線容量に関して、上限を設定し、その上限値を越えると、バッファを挿入する方法が知れている。

【0003】

【発明が解決しようとする課題】しかしながら、銅とアルミニウムの合金は、銅の含有量を調節するのにコストがかかる。また、配線幅に関しての設計ルールは、単純に下限を決めているだけなので、配線長が長い配線に関しては、エレクトロマイグレーションが起こる危険を避ける事が出来ない。一方、配線容量による上限値の設定では、配線幅を太くする事で、エレクトロマイグレーションを避ける事が出来る場合にもバッファを挿入するので信号伝搬遅延を増大する可能性がある。

【0004】本発明は以上の様な問題を鑑みたもので、エレクトロマイグレーションが発生すると予想される部分の配線幅を変更し、有効的にエレクトロマイグレーションを低減する事が可能な半導体集積回路設計方法を提供する事を目的とする。

【0005】

【課題を解決するための手段】上記目的を達成する為、本発明は、ソースとシンクを結ぶ配線が、(1) 前記配線がエレクトロマイグレーション違反を起こさない場合と、(2) 前記配線がエレクトロマイグレーション違反を起こすが、前記配線に接続されたセグメントの配線幅を太くしたら、前記配線のエレクトロマイグレーション違反が回避できる場合と、(3) 前記配線がエレクトロマイグレーション違反を起こし、かつ、前記配線に接続されたセグメントの配線幅を太くしても、前記配線のエレクトロマイグレーション違反が回避できない場合と、の三つの場合に分けて判定し、(2)の場合において、前記セグメントの配線幅を変更する為の配線幅変更手段により配線幅を太くし、(3)の場合において、バッファを挿入する為のバッファ挿入手段により前記配線にバッファを挿入する事を特徴とする。本発明は、以上の様な構成を取る事により、設計段階でエレクトロマイグレーションを回避する事が出来る。

【0006】

【発明の実施の形態】次に本発明を図を用いて詳細に説明する。記録媒体に記憶された半導体集積回路の設計方法のフローチャートを図1に示した。図1に示したように、初めに配置、配線された素子を想定する。但し、こ

こで想定される配線は、仮想配線と詳細配線の双方を含むものとする。即ち、本発明にかかる設計方法は、仮想配置された素子が詳細に配線された場合だけでなく、まだ実際の配線が施されていない仮想配線の段階でも使用する事が出来る。

【0007】次に、所定の方法(以下で詳述する)により、注目する配線がエレクトロマイグレーションを起こす可能性が有るか否かを判定し、可能性が無いと判定したときには、エレクトロマイグレーションは発生しないのでエレクトロマイグレーションに対する対策を施す必要がない。従って、本発明にかかるフローは終了する。

【0008】また、可能性が有ると判定された場合、所定の方法(以下で詳述する)により注目する配線の幅を太くすれば、エレクトロマイグレーションを回避する事が出来るか否かを判定する。もし、回避できると判定した場合には、配線幅を太くして、本発明にかかるフローは終了する。一方、回避できないと判定した場合、バッファを適切な位置に挿入(挿入方法は後述する)し、新たに生成された配線に対し、同じフローを繰り返す。

【0009】以下に、このフローをより詳細に説明するため、図2に示す配線(以下、ネットと称する事がある)を例に取り説明する。図2に示すように、信号源であるソースから信号端であるシンクへ配線が施されている。この配線に対し、エレクトロマイグレーションが発生するか否かを式1で判定する。換言すれば、配線の断面を流れる電流量(式1の左辺)が基準値(式1の右辺)と比較し、エレクトロマイグレーション違反を起こすと判定する。

$$\text{【0010】 } hwj < 2CVfP \quad (\text{式1})$$

但し、 h は配線の高さ、 w は配線幅、 j は電流密度、 C はその配線に接続される全容量、 V は駆動電圧、 f は動作周波数、 P はその配線のスイッチング確率を示している。

【0011】ここで、式1を満たせばエレクトロマイグレーションを起こす可能性があるとして判定する、言い換えれば、エレクトロマイグレーション違反を起こすと判定する。

【0012】もし、エレクトロマイグレーション違反を起こさないとして判定した場合、即ち、式1を満たさない場合にはフローは終了する。一方、そうでない場合、即ち、式1を満たす場合には、更に式2を用いて、配線を太くすればエレクトロマイグレーション違反を回避できるか否かを判定する。換言するが、配線の断面を流れる電流量(式2の左辺)が基準値(式2の右辺)と比較し、エレクトロマイグレーション違反を回避する事が出来るか否かを判定する。

$$\text{【0013】 } hwj < 2CVfP/n \quad (\text{式2})$$

但し、 n は注目する配線のファンアウト数を示す。ファンアウトとは簡単に言えば枝分かれする数をいい、図2においては $n=2$ である。

【0014】ここで、式2を満たせば、注目する配線幅を太くしてもエレクトロマイグレーション違反を回避できないと判定する。但し、配線を太くすると言っても注目する配線の全てを太くするのではなく、根元の配線のみを太くする(図3(1)参照)。

【0015】もし、配線を太くしたらエレクトロマイグレーション違反を回避する事が出来る場合、即ち、式2を満たさない場合には根元の配線(セグメントと言う)の幅を太くする(どの程度太くするかは後述する)。

【0016】また、図2の(2)に示される様に、シンクが一つしか無い場合は、ソースとシンクを結ぶ配線をセグメントと言う。一方、配線を太くしてもエレクトロマイグレーション違反を回避する事が出来ない場合、即ち、式2を満たす場合、配線の適切な位置にバッファを挿入し(挿入する位置に関しては後述する)、配線を分割する(図3(2)参照)。

【0017】次に、二つに分割された配線1と2のそれぞれに対し、エレクトロマイグレーション違反を起こすか否かの判定から再度行う。ただし、新たな配線1では素子100がソース、バッファがシンクとなり、新たな配線2ではバッファがソース、素子200及び300がシンクとなる。

【0018】以上の様に、全てのネットがエレクトロマ*

$$hwj\alpha < 2\{c(l + \alpha L) + C0\}VfP \quad (\text{式4})$$

式4を α について解くと、下式になる。

※ ※ 【0022】

$$\alpha \geq (2\{cl + C0\}VfP) / (hwj - 2cLVfP) \quad (\text{式5})$$

ただし、 \geq は、以上を意味する。また配線幅係数 α は、小さい方が配線領域を占有せず、配線混雑度という評価値を下げないので都合がよい。従って、式5を満足★

$$\alpha = (2\{cl + C0\}VfP) / (hwj - 2cLVfP) \quad (\text{式6})$$

式6を見れば判るように、配線幅係数 α を算出するには配線長 L 及び l の値が必要となる。もし、配置された素子間を配線した後に配線幅係数 α を算出するなら配線長 L 及び l の値は既知である。

【0024】しかし、配線前、配置後に配線幅係数 α を☆

$$l = k \times (\text{ファンアウト数}) \gamma \times (\text{シンク同士の矩形領域の大きさ}) \quad (\text{式7})$$

但し、 $k = 0.5 \sim 1.5$ 、 $\gamma = 0.3 \sim 0.5$ である。また、式7は配線前、配置後に配線幅をそのままにしておく配線長 l を見積もる為の一例であり、そのほかの方法で見積もっても良い。

(配線長 L の見積り方法) 配線幅を太くする配線長 L はシンクとなる素子の重心位置まで結線するのに必要な配線長として見積もる。例えば、配線長 L は、信号源であるソースから、シンク同士の重心位置までのマンハッタン距離として得る事が出来る。

【0025】以上の様にして、配線後又は配線前に配線幅係数 α を見積もる事ができ、太くなった配線幅は $\alpha \times L$ となる。自動配線後の配線長が、見積配線長から、大幅にずれると、施したエレクトロマイグレーションの回

* イグレーション違反を起こさなくなるまで上記フローと適用する。また、図2では説明の便宜上シンクを2つしたが、多数であってもよく、本発明にかかるフローを適用した結果も種々の形態が考えられる。例えば、根元の配線のみ太くなっている場合(図4(1)参照)、バッファが挿入されているだけの場合(図4(2)参照)、根元の配線が太くなり、バッファが挿入される場合(図4(3)参照)、更に、根元の配線以外にも配線幅が太くなっており、バッファが挿入されている場合(図4(4)参照)等が考えれる。

【0019】次に、太くする配線の配線幅の決定方法について説明する。注目する配線のうち、配線幅を太くする配線の長さを l と、配線幅をそのままにしておく配線の長さを 1 とする。これを式1を以下の様に変形できる。

【0020】

$$hwj < 2\{c(l + L) + C0\}VfP \quad (\text{式3})$$

ここで、 c は配線の単位長さあたりの配線容量、 $C0$ はファンアウト容量を示している。

【0021】この時、配線 L の配線幅を α 倍にして、エレクトロマイグレーションを回避するためには、式3により以下の式を満たさなければならない。

★し、かつ、最小値である以下の値を、配線幅係数 α の値として採用する。

【0023】

☆算出するなら配線長 L 及び l の値は未知である。そこで、この場合、配線長 l 及び L を以下のように見積もる。

(配線長 l の見積り方法)

避策が有効に機能しない場合がある。また、自動配線処理は、どのセグメントを太くすべきか、そのままではわからないので、自動配線処理に配線幅を太くすべきセグメントはどれかと、見積配線長を、制約として自動配線処理に渡す。そして、自動配線処理ではこれらを制約として守りながら配線をする必要がある。また、本発明の設計方法は、配線前(図5(1)参照)でも、配線後(図5(2)参照)でも適用する事が出来る。

【0026】次に、バッファの挿入位置の決定方法について説明する。図6にバッファの挿入位置の決定するための概念図を示した。図6に示すように、シンク同士と信号のソースを囲む最小矩形50と、シンク同士を囲む最小矩形51の交わる部分52で、素子密度の小さい傾

域にバッファを挿入する。

【0027】以上の様に、信号のシンク同士の重心位置にバッファを挿入する事で、バッファ以降の配線長を短くする事が期待できる。以上の様に本発明は、計算機が自動的に配線幅を変更する事で、エレクトロマイグレーションを解消し、それでも解消できない場合にのみバッファを挿入する。

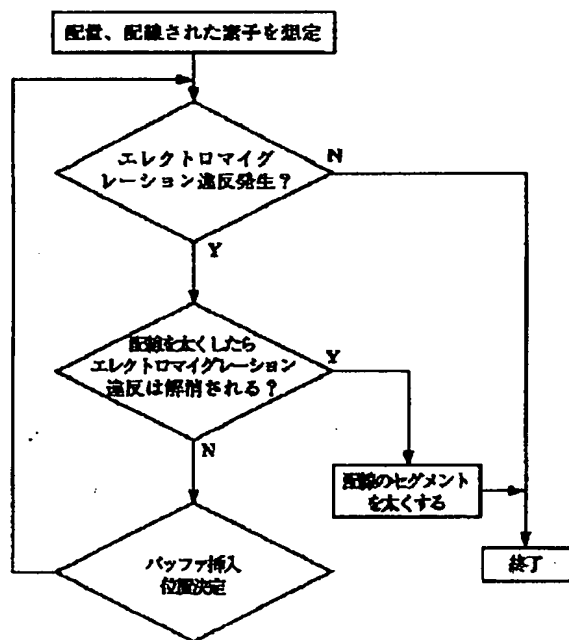
【0028】従って、従来のように、エレクトロマイグレーションを回避する為、配線材料に施策を施す事なく、設計段階でそれを回避する事が出来、コスト削減が可能となる。

【0029】また、従来のように、エレクトロマイグレーションを防止するために挿入するバッファの数の抑制する事が出来、その結果、バッファ挿入による配線遅延のいたずらな増加を抑制する事が出来る。

【0030】

【発明の効果】本発明によれば、配線幅を太くする事で、エレクトロマイグレーションを解消できるときは、*

【図1】



* バッファを挿入しないで済むので、配線数の増加、バッファ挿入による遅延の増加を抑制でき、自動的にエレクトロマイグレーションを低減する事が可能な半導体集積回路の設計方法を提供する事が出来る。

【図面の簡単な説明】

【図1】本発明にかかる設計方法のフローを示した図。

【図2】本発明にかかる設計方法を説明するための配線概念図を示したものである。

【図3】本発明にかかる設計方法を説明するための配線概念図を示したものである。

【図4】本発明にかかる設計方法を適用した結果の形態図を示したものである。

【図5】半導体集積回路の設計の全体的なフローを示した図。

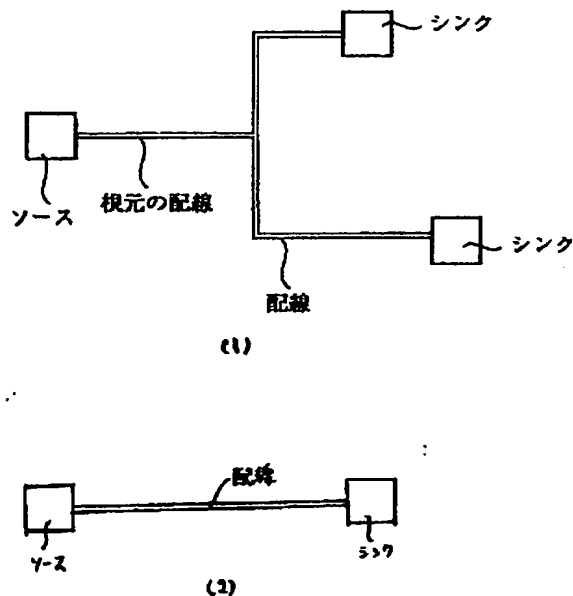
【図6】挿入するバッファの位置を説明するための図。

【符号の説明】

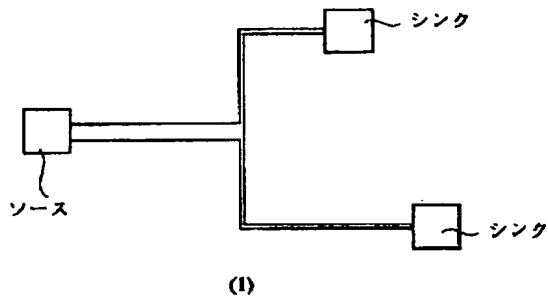
100 ソース

200、300 シンク

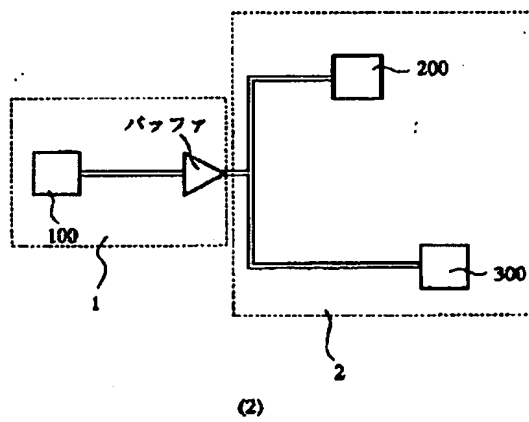
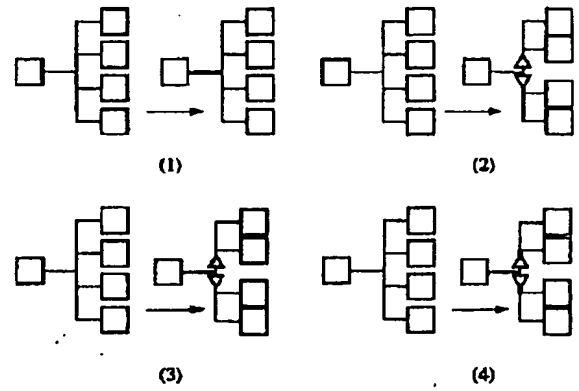
【図2】



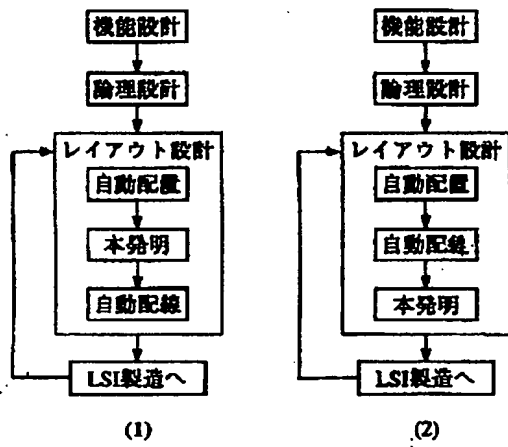
【図3】



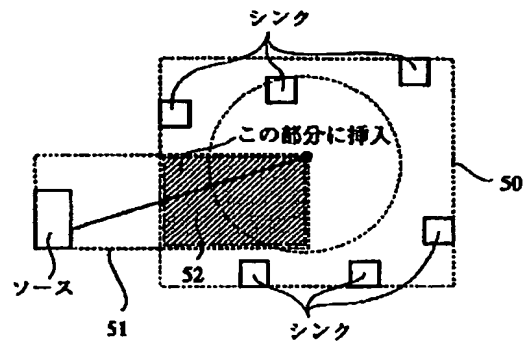
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.